

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-275387

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H02P 6/18

(21)Application number : 2000-090037

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.03.2000

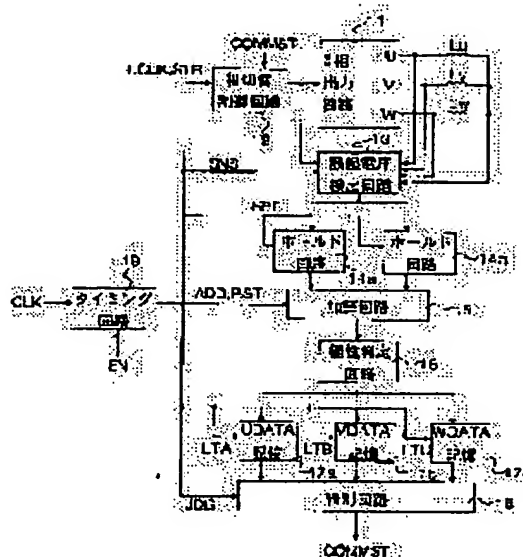
(72)Inventor : SEKI KUNIO  
TSUNODA TOSHIYUKI  
KONOUE YASUHIKO  
KAWACHI KUNIHIRO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT FOR BRUSHLESS MOTOR DRIVE CONTROL, AND BRUSHLESS MOTOR DRIVE CONTROL DEICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the drive control technique of a brushless motor for preventing inverse rotation, when a motor is started by determining and controlling a field coil for starting conduction by detecting the position of a rotor to a stator accurately with few error.

**SOLUTION:** A short pulse current, to which a rotor does not react is made to flow to the field coil of each phase of the brushless motor successively in a direction opposite to a forward direction, a voltage which is induced at the field coil with a non conduction phase is detected by the pulse current and induced voltages being generated by the pulse current in the forward direction and that in the opposite direction are integrated, the polarity of the synthesis result by the integrating circuit is judged and stored, and a conduction start phase is determined, based on the polarity judgment result related to a plurality of conduction phases.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(43)公開日 平成13年10月5日(2001.10.5)

371T 5H560

弁理士 大日方 富雄

The diagram illustrates a control system for a three-phase motor. The main components and their interconnections are as follows:

- Timing Circuit (19):** Receives **CLK** and **EN** signals. It outputs **ADD, RST** signals to the Addition Circuit (15) and a signal to the Phase Switching Control Circuit (12).
- Phase Switching Control Circuit (12):** Receives **T.CLK, STR** and **COMMST** signals. It outputs a signal to the Commutation Voltage Detection Circuit (13) and controls the three-phase output circuit (U, V, W).
- Commutation Voltage Detection Circuit (13):** Receives **SNS** signals from the three-phase output circuit (U, V, W) and outputs a signal to the Holding Circuit (14a, 14b).
- Holding Circuit (14a, 14b):** Receives **SPT** signals and outputs a signal to the Addition Circuit (15).
- Addition Circuit (15):** Receives **ADD, RST** signals and a signal from the Timing Circuit (19). It outputs a signal to the Polarity Determination Circuit (16).
- Polarity Determination Circuit (16):** Receives a signal from the Addition Circuit (15) and outputs a signal to the Discrimination Circuit (18).
- Discrimination Circuit (18):** Receives signals from **UDATA** (17a), **VDATA** (17b), and **WDATA** (17c) through comparators **LTA**, **LTb**, and **LTC**. It outputs the **COMMST** signal, which is fed back to the Phase Switching Control Circuit (12).
- Three-phase Output Circuit (U, V, W):** Receives control signals from the Phase Switching Control Circuit (12) and outputs signals to the Commutation Voltage Detection Circuit (13) and the motor (Lu, Lb, Lc).

【特許請求の範囲】

【請求項1】 複数の界磁コイルを備えたブラシレスモータの各相の界磁コイルに流す電流を切り替えることでモータを回転駆動するブラシレスモータ駆動制御用半導体集積回路であって、

上記モータの各相の界磁コイルに流す電流を生成する相電流出力回路と、

上記モータの各相の界磁コイルへモータのロータが反応しない短いパルス電流を順方向および逆方向に順次流すよう上記相電流出力回路を制御する相切替制御回路と、  
上記パルス電流により非通電相の界磁コイルに誘起される電圧を検出する誘起電圧検出回路と、

上記順方向のパルス電流により生じた誘起電圧と上記逆方向のパルス電流により生じた誘起電圧を合成する合成回路と、

上記合成回路による合成結果の極性を判定する極性判定回路と、

上記極性判定回路で判定された結果を記憶する記憶回路とを備え、

上記相切替制御回路は上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて設定された通電開始情報に従ったいずれかの相へ電流を流してモータを起動することを特徴とするブラシレスモータ駆動制御用半導体集積回路。

【請求項2】 上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて上記モータへの通電を開始する相を判別する判別回路を備えたことを特徴とする請求項1に記載のブラシレスモータ駆動制御用半導体集積回路。

【請求項3】 上記順方向のパルス電流により生じた誘起電圧をサンプリングしてホールドする第1のサンプル・ホールド回路と、

上記逆方向のパルス電流により生じた誘起電圧をサンプリングしてホールドする第2のサンプル・ホールド回路と、

を備え、上記合成回路は上記第1および第2のサンプル・ホールド回路の出力を合成することを特徴とする請求項1または2に記載のブラシレスモータ駆動制御用半導体集積回路。

【請求項4】 上記相切替制御回路と、上記誘起電圧検出回路と、上記合成回路と、上記極性判定回路と、上記記憶回路を所定のタイミングで動作させる制御信号をクロック信号に基づいて生成するタイミング生成回路を備えたことを特徴とする請求項1から3のいずれかに記載のブラシレスモータ駆動制御用半導体集積回路。

【請求項5】 非通電相の逆起電圧のゼロクロス位置を検出する逆起電圧検出回路を備え、上記相切替制御回路は上記モータ起動後に前記逆起電圧検出回路の検出信号に基づいて通電相の切り替えを行ない、上記相電流出力回路は上記モータの各相の界磁コイルに通電開始相の検

出のために流す上記パルス電流よりも大きな電流を出力することを特徴とする請求項1から4のいずれかに記載のブラシレスモータ駆動制御用半導体集積回路。

【請求項6】 複数の界磁コイルを備えたブラシレスモータの各相の界磁コイルに流す電流を生成する相電流出力回路と、

上記相電流出力回路により生成され上記モータの各相の界磁コイルに流す電流を出力する端子と、

上記モータの各相の界磁コイルへロータが反応しない短いパルス電流を順方向と逆方向に順次流す相切替制御回路と、

上記パルス電流により非通電相の界磁コイルに誘起される電圧を検出する誘起電圧検出回路と、

上記順方向のパルス電流により生じた誘起電圧を積分しさらに上記逆方向のパルス電流により生じた誘起電圧を積分する積分回路と、

上記積分回路による積分結果の極性を判定する極性判定回路と、

上記極性判定回路で判定された結果を記憶する記憶回路と、

上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて上記モータへの通電を開始する相を判別する判別回路と、

上記相切替制御回路は上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて設定された通電開始情報に従ったいずれかの相へ電流を流してモータを起動することを特徴とするブラシレスモータ駆動制御装置。

【請求項7】 上記積分回路を構成する容量素子が、上記半導体基板に設けられた外部端子に外付け素子として接続されていることを特徴とする請求項6に記載のブラシレスモータ駆動制御装置。

【請求項8】 上記半導体チップ上に、上記選択通電回路、上記誘起電圧検出回路、上記積分回路、上記極性判定回路、上記記憶回路および上記判別回路を所定のタイミングで動作させる制御信号をクロック信号に基づいて生成するタイミング生成回路をさらに備えたことを特徴とする請求項6または7に記載のブラシレスモータ駆動制御装置。

【請求項9】 非通電相の逆起電圧のゼロクロス位置を検出する逆起電圧検出回路をさらに備え、上記相切替制御回路は上記モータ起動後に上記逆起電圧検出回路の検出信号に基づいて通電相の切り替えを行ない、上記相電流出力回路は上記モータの各相の界磁コイルに通電開始相の検出のために流す上記パルス電流よりも大きな電流を上記モータ起動後に出力することを特徴とする請求項6から8のいずれかに記載のブラシレスモータ駆動制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ブラシレスモータの駆動制御技術さらにはモータの回転開始時における通電開始相の決定方式に適用して有効な技術に関するものであって、たとえばHDD（ハード・ディスク・ドライブ）装置のようなディスク型記憶媒体を回転駆動するスピンドルモータの駆動制御装置に利用して有効な技術に関するものである。

【0002】

【従来の技術】ハードディスク装置では、磁気ディスクに対する情報の書込／読み取りをできるだけ高速で行なうこと、つまりアクセスの高速化に対する要求が強いが、このためには、スピンドルモータの高速化が必要となる。これに加えて、駆動制御装置の小形化と低消費電力化および低コスト化に対する要求も強い。従来ハードディスク装置では一般に、スピンドルモータにブラシレスの直流多相モータを用い、磁気ディスクを高速で回転させ、この回転している磁気ディスクにリード／ライト用の磁気ヘッドを接触あるいは接近させながら情報の書込または読み取りを行なっている。

【0003】また、従来より、ブラシレスモータには、ホール素子を用いてロータとステータとの位置関係を検出し、検出された位置関係から通電を開始する界磁コイル相を決定することでモータの逆転を防止するようにしたモータの駆動制御方式がある。ホール素子を用いたロータ位置検出器をモータに設けると小型化が困難になるため、ハードディスク装置ではセンサレスのモータが多用されるようになって来ている。しかしながら、このようなセンサレスモータを用いて磁気ディスクを回転駆動すると、回転を開始する際に、1/2の確率でロータが一瞬逆転するおそれがある。

【0004】一方、近年、ハードディスク装置では記憶密度が非常に高くなっており、これに伴って磁気ディスクのリード／ライトを行なう磁気ヘッドも非常に小型化されてきている。従って、このように磁気ヘッドが小型化されたハードディスク装置においては、ロータが一瞬でも逆転されると、磁気ヘッドに致命的なダメージを与えかねないという課題がある。かかる課題を解決するため、ステータの界磁コイルに、ロータが反応しない程度の短いパルス電流をそれぞれ流して最高振幅値を発生する界磁コイル、すなわちロータの磁石の磁界とコイルの発生磁界の向きが重なって磁気飽和を起こし最も電流が流れ易くなる相を、通電を開始する相として決定するようにした制御方式が提案されている（特許第2547778号）。

【0005】また、ステータの界磁コイルにパルス電流を流し次に向きを変えてパルス電流を流し、電流を流した界磁コイルに着目してその電流立上がり時定数の差異を検出しその検出結果に基づいてロータの位置を判定して通電を開始する相を決定する。つまり、界磁コイルにパルス電流を流したときに、界磁コイルとロータの磁石

の磁界の向きが同一か逆か（磁気飽和しているか否か）で界磁コイルのインダクタンスが変化する現象を利用してインダクタンスの差異を検出しその検出結果に基づいてロータの位置を判定して通電を開始する相を決定するようにした制御方式も提案されている（特公平8-162539号公報）。

【0006】なお、上記発明の他に、モータ起動時の励磁信号の周波数よりも高い周波数の診断信号を、単一巻線又は2以上の直列接続の巻線に印加すると同時に、その直列接続のいずれかの巻線に生じる誘導電圧を検出することにより、ロータの停止位置を特定するようにした発明も提案されている（特開平7-274585号公報）。

【0007】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによって明らかとされた。

【0008】すなわち、パルス電流を流して最高振幅値を検出して通電開始相を決定する制御方式では、最高振幅値がステータの界磁コイル間の巻線ばらつきに依存しているため、製造上回避困難な僅かな巻線ばらつきによって検出誤差が発生してしまう。また、電流立上がり時定数の差異に基づいてロータの位置を検出して通電を開始する相を決定する制御方式では、磁気飽和現象を利用しているので、かなり大きな電流を流さないと時定数に差異が生じないためロータが反応しない小さな電流で時定数の差を検出することが困難であるとともに、電流の向きに応じて時定数の大小関係が反転するポイントと磁気飽和ポイントとが一致していないため判定結果に誤差が生じ易いという不具合がある。

【0009】本発明の目的は、ステータに対するロータの位置を少ない誤差で正確に検出して通電を開始する界磁コイルを決定して制御することでモータ起動時の逆回転を防止することが可能なブラシレスモータの駆動制御技術を提供することにある。

【0010】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち、モータの各相の界磁コイルへロータが反応しない短いパルス電流を順方向および逆方向に順次流し、上記パルス電流により非通電相の界磁コイルに誘起される電圧を検出して上記順方向のパルス電流と上記逆方向のパルス電流によりそれぞれ生じた誘起電圧を合成し、上記合成回路による合成結果の極性を判定して記憶し、複数の通電相に関わる極性判定結果に基づいて通電開始相を決定するようにしたものである。

【0013】具体的には、複数の界磁コイルを備えたブラシレスモータの各相の界磁コイルに流す電流を切り替えることでモータを回転駆動するブラシレスモータ駆動制御用半導体集積回路において、上記モータの各相の界磁コイルに流す電流を生成する相電流出力回路と、上記モータの各相の界磁コイルへロータが反応しない短いパルス電流を順方向および逆方向に順次流すよう上記相電流出力回路を制御する相切替制御回路と、上記パルス電流により非通電相の界磁コイルに誘起される電圧を検出する誘起電圧検出回路と、上記順方向のパルス電流により生じた誘起電圧と上記逆方向のパルス電流により生じた誘起電圧を合成する合成回路と、上記合成回路による合成結果の極性を判定する極性判定回路と、上記極性判定回路で判定された結果を記憶する記憶回路とを備え、上記相切替制御回路は上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて設定された通電開始情報に従ったいずれかの相へ電流を流してモータを起動するようにした。

【0014】上記した手段によれば、ブラシレスモータのいずれかの界磁コイルに流した順方向のパルス電流により生じた誘起電圧と上記逆方向のパルス電流により生じた誘起電圧とからステータに対するロータの位置を検出するため、ロータの位置を少ない誤差で正確に検出して通電を開始する界磁コイルを決定して制御することでモータ起動時の逆回転を防止することができる。

【0015】望ましくは、上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて上記モータへの通電を開始する相を判別する判別回路を設ける。これにより、自ら通電を開始する相を決定して短時間でブラシレスモータを起動させることができる駆動制御装置を実現できる。

【0016】さらに望ましくは、上記相切替制御回路、上記誘起電圧検出回路、上記合成回路、上記極性判定回路および上記記憶回路を所定のタイミングで動作させる制御信号をクロック信号に基づいて生成するタイミング生成回路を設ける。これによって、外部で制御信号を形成して入力することなく単にクロック信号を与えるだけで自ら通電を開始する相を決定して短時間でブラシレスモータを起動させることができる駆動制御装置を実現できる。

【0017】また、非通電相の逆起電圧のゼロクロス位置を検出する逆起電圧検出回路を備え、上記相切替制御回路は上記モータ起動後に前記逆起電圧検出回路の検出信号に基づいて通電相の切り替えを行ない、上記相電流出力回路は上記モータの各相の界磁コイルに通電開始相の検出のために流す上記パルス電流よりも大きな電流を出力するように構成する。これにより、短時間でモータを起動させた後逆起電圧による加速運転が可能な駆動制御装置を実現できる。

【0018】さらに、第2の発明では、複数の界磁コイ

ルを備えたブラシレスモータの各相の界磁コイルに流す電流を生成する相電流出力回路と、上記相電流出力回路により生成され上記モータの各相の界磁コイルに流す電流を出力する端子と、上記モータの各相の界磁コイルへロータが反応しない短いパルス電流を順方向と逆方向に順次流す相切替制御回路と、上記パルス電流により非通電相の界磁コイルに誘起される電圧を検出する誘起電圧検出回路と、上記順方向のパルス電流により生じた誘起電圧を積分しさらに上記逆方向のパルス電流により生じた誘起電圧を積分する積分回路と、上記積分回路による積分結果の極性を判定する極性判定回路と、上記極性判定回路で判定された結果を記憶する記憶回路と、上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて上記モータへの通電を開始する相を判別する判別回路とが1つの半導体チップ上に形成され、上記相切替制御回路は上記記憶回路に記憶された複数の通電相に関わる極性判定結果に基づいて設定された通電開始情報に従ったいずれかの相へ電流を流してモータを起動するようにした。

【0019】上記した手段によれば、ブラシレスモータのいずれかの界磁コイルに流した順方向のパルス電流により生じた誘起電圧と上記逆方向のパルス電流により生じた誘起電圧とからステータに対するロータの位置を検出するため、ロータの位置を少ない誤差で正確に検出して通電を開始する界磁コイルを決定して制御することでモータ起動時の逆回転を防止することが可能な半導体集積回路化されたコンパクトなブラシレスモータ駆動制御装置を実現できる。

【0020】望ましくは、上記積分回路を構成する容量素子を、上記半導体基板に設けられた外部端子に外付け素子として接続する。これにより、非通電相の誘起電圧を検出する誘起電圧検出回路における検出電圧のノイズを抑え、精度の高い判定が行なえるようになる。

【0021】また、上記半導体チップ上に、上記選択通電回路、上記誘起電圧検出回路、上記積分回路、上記極性判定回路、上記記憶回路および上記判別回路を所定のタイミングで動作させる制御信号をクロック信号に基づいて生成するタイミング生成回路をさらに設ける。これによって、単にクロック信号を与えるだけで自ら通電を開始する相を決定して短時間でブラシレスモータを起動させることができる駆動制御装置を実現できる。

【0022】さらに望ましくは、非通電相の逆起電圧のゼロクロス位置を検出する逆起電圧検出回路を備え、上記相切替制御回路は上記モータ起動後に前記逆起電圧検出回路の検出信号に基づいて通電相の切り替えを行ない、上記相電流出力回路は上記モータの各相の界磁コイルに通電開始相の検出のために流す上記パルス電流よりも大きな電流を上記モータ起動後に出力するように構成する。これにより、短時間でモータを起動させた後、逆起電圧による加速運転が可能な駆動制御装置を実現でき

る。

# 【0023】

【発明の実施の形態】以下、本発明の好適な実施態様を、図面を参照しながら説明する。

【0024】本発明の具体的な実施形態について説明する前に、本発明によるロータ位置検出方式の原理を、図1～図3を用いて説明する。図1～図3は、3相式多相ブラシレスモータにおけるロータの磁石MGとステータの界磁コイルLとの位置関係を、 $3 \times n$  ( $n$ は正の整数)個ある界磁コイルのうちいずれか3つの界磁コイルLu, Lv, Lwと磁石MGとの関係を模式的に示すものである。また、PIOは上記界磁コイルLu, Lv, Lwに電流を流す相電流出力回路で、この相電流出力回路によって、いずれか2つの界磁コイルに流す合計6種類の電流(向きの異なる電流を含む)が所定の順序で出力されることで、ロータが回転駆動される。なお、図1～図3では、ロータの磁石MGとステータの界磁コイルLu, Lv, Lwが直線的に並んで示されているが、実際のモータでは同心円に沿うようにそれぞれ配置される。

【0025】図1(a)はロータの磁石MGのS極とN極の境界がステータの界磁コイルLvの中心と一致して停止している状態を示す。この状態で、界磁コイルLwが接続されている相電流出力端子wから界磁コイルLuが接続されている相電流出力端子uへ向かってパルス電流Iwを流すと、界磁コイルLuで発生する磁力線DMuの向きとロータの磁石の磁力線DMr1の向きとがほぼ一致するとともに、界磁コイルLwで発生する磁力線DMwの向きとロータの磁石の磁力線DMr2の向きとがほぼ一致しかつ界磁コイルLuの磁力線DMuの向きと界磁コイルLwの磁力線DMwの向きは逆になる。そして、磁石MGのS極とN極の境界がステータの界磁コイルLvの中心と一致しているため、界磁コイルLuからLvへ漏れる磁束と界磁コイルLwからLvへ漏れる磁束とは同一の大きさで逆向きであるので互いに打ち消し合って界磁コイルLvに誘起される電圧はゼロとなる。

【0026】一方、この状態で、界磁コイルLu, Lwに流す電流の向きを変え、図1(b)のように、相電流出力端子uからwへ向かってパルス電流Iuを流すと、界磁コイルで発生する磁力線の向きとロータの磁石の磁力線の向きとが逆になるため、界磁コイルLu, Lwの磁束密度は小さくなり界磁コイルLvへの漏れ磁束も小さくなるが、漏れる磁束は同一の大きさで逆向きであるので互いに打ち消し合って界磁コイルLvに誘起される電圧はゼロである。

【0027】次に、図2(a)のように、ロータの磁石MGのS極とN極の境界がステータの界磁コイルLvの中心よりも若干界磁コイルLwに寄った位置に停止している状態について説明する。この状態では、界磁コイルLuの正面にロータの磁石MGのN極が対向しているた

め、ロータの磁石MGから出て界磁コイルLuを通過する磁束の密度の方がロータの磁石MGから出て界磁コイルLwを通過する磁束の密度よりも大きくなる。そのため、相電流出力端子wから相電流出力端子uへ向かってパルス電流Iwを流すと、界磁コイルLuからLvへ漏れる磁束ML1の方が界磁コイルLwからLvへ漏れる磁束ML2よりも大きくなり、界磁コイルLvに漏れ磁束の差に応じた電圧が誘起される。

【0028】一方、図2(a)と同様に、ロータの磁石MGのS極とN極の境界がステータの界磁コイルLvの中心よりも若干界磁コイルLwに寄った位置に停止している状態で電流の向きを変え、図2(b)のように相電流出力端子uから相電流出力端子wへ向かってパルス電流Iuを流す。すると、図2(a)と同様にロータの磁石MGから出て界磁コイルLuを通過する磁束の密度の方がロータの磁石MGから出て界磁コイルLwを通過する磁束の密度よりも大きいので、界磁コイルLuからLvへ漏れる磁束ML1の方が界磁コイルLwからLvへ漏れる磁束ML2よりも大きい磁力線の向きが逆になるので、漏れ磁束の差に応じて界磁コイルLvに誘起される電圧の極性は異なることとなる。

【0029】しかも、上記の場合、界磁コイルLu, Lvで発生する磁力線の向きとロータの磁石MGの磁力線の向きとが同じになるように電流を流す図2(a)の方が、界磁コイルLu, Lvで発生する磁力線の向きとロータの磁石MGの磁力線の向きとが逆になるように電流を流す図2(b)よりも、界磁コイルLvに誘起される電圧は大きくなる。従って、界磁コイルLu, Lwに流す電流の向きを変え、界磁コイルLvに誘起される電圧を検出し比較することで界磁コイルLvとLwのいずれに対してロータの磁石の極が近いかにまたその極がS極かN極かを判定することができる。

【0030】図3(a)には、ロータの磁石MGのS極とN極の境界がステータの界磁コイルLvの中心よりも若干界磁コイルLuに寄った位置に停止している状態を示す。この状態では、界磁コイルLwの正面にロータの磁石MGのS極が対向しているため、ロータの磁石MGから出て界磁コイルLwを通過する磁束の密度の方がロータの磁石MGから出て界磁コイルLuを通過する磁束の密度よりも大きくなる。そのため、相電流出力端子wから相電流出力端子uへ向かってパルス電流Iwを流すと、界磁コイルLwからLvへ漏れる磁束ML2の方が界磁コイルLuからLvへ漏れる磁束ML1よりも大きくなり、界磁コイルLvに漏れ磁束の差に応じた電圧が誘起される。また、電流の向きを変え、図3(b)のように相電流出力端子uから相電流出力端子wへ向かってパルス電流Iuを流すと、界磁コイルLwからLvへ漏れる磁束ML2の方が界磁コイルLuからLvへ漏れる磁束ML1よりも大きい磁力線の向きが図3(a)とは逆になるので、漏れ磁束の差に応じて界磁コイルLvに誘起



される電圧の極性は異なることとなる。

【0031】しかも、上記図2(a), (b)の場合と同様に、界磁コイルL<sub>u</sub>, L<sub>v</sub>で発生する磁力線の向きとロータの磁石MGの磁力線の向きとが同じになるように電流を流す図3(a)の方が、界磁コイルL<sub>u</sub>, L<sub>v</sub>で発生する磁力線の向きとロータの磁石MGの磁力線の向きとが逆になるように電流を流す図3(b)よりも、界磁コイルL<sub>v</sub>に誘起される電圧は大きくなる。従って、この場合にも界磁コイルL<sub>u</sub>, L<sub>w</sub>に流す電流の向きを変え、界磁コイルL<sub>v</sub>に誘起される電圧を検出し比較することで界磁コイルL<sub>v</sub>とL<sub>w</sub>のいずれに対してロータの磁石の極が近いかまたその極がS極かN極かを判定することができる。なお、このとき検出される大きい方の漏洩磁束の極性は図2の場合に検出される極性とは逆極性である。

【0032】図4(A)に、本発明者らが行なった実験結果を示す。縦軸は検出電圧、横軸はステータに対するロータの位置を電気角で表わしている。例えば、ロータの極の数が12極のモータでは、機械角の60度が電気角の360度に相当する。同図は、界磁コイルL<sub>u</sub>, L<sub>w</sub>に流す電流の向きを変え、界磁コイルL<sub>v</sub>に誘起される電圧を測定した結果を示したものである。

【0033】図4(a)において、実線Aは界磁コイルL<sub>w</sub>からL<sub>u</sub>へ向かって電流を流したときに界磁コイルL<sub>v</sub>に誘起された電圧をプロットしたもの、破線Bは界磁コイルL<sub>u</sub>からL<sub>w</sub>へ向かって電流を流したときに界磁コイルL<sub>v</sub>に誘起された電圧をプロットしたものである。図より、いずれの曲線(A, B)もゼロクロスポイントの一方が明確でない、つまり一方向の電流を流したときに検出された誘起電圧からロータとステータの位置関係を一義的に決定するのが困難であることが分かる。従って、いずれか一方の電流による誘起電圧からロータ位置の判定を行なうと誤差が生じるおそれがある。ところが、本発明者らは、上記2つの曲線を合成してみたところ、図4(b)に破線Cで示すように、ゼロクロスポイントが明確になり、精度の高いロータ位置判定が可能になることを見出した。

【0034】そこで、本発明では、2つの界磁コイルに

	誘起電圧			通電開始相 (電流の向き)
	E <sub>u</sub>	E <sub>v</sub>	E <sub>w</sub>	
判定結果	負	負	正	V相 → U相
	正	負	正	W相 → U相
	正	負	負	W相 → V相
	正	正	負	U相 → V相
	負	正	負	U相 → W相
	負	正	正	V相 → W相

【0039】ところで、実際のモータでは、ロータとステータとが図1(a), (b)のような位置関係にある場合すなわち界磁コイルL<sub>v</sub>の中心とロータのS極とN極の境界が一致している場合にも、界磁コイルL<sub>u</sub>とL<sub>w</sub>に電流を流したときに、巻線のばらつき等によって

流す電流の向きを変えてパルス電流を流しそれぞれの電流によって非通電相の界磁コイルに誘起される電圧をサンプリング&ホールドして合成(加算)、あるいはそれぞれの誘起電圧を積分して加算し、その結果に基づいて判定を行ない通電開始相を決定する回路をブラシレスモータの駆動回路に設けることを着想した。

【0035】図5は、3相モータに関して各界磁コイルL<sub>u</sub>, L<sub>v</sub>, L<sub>w</sub>で検出された誘起電圧E<sub>u</sub>, E<sub>v</sub>, E<sub>w</sub>の正負の判定結果と非通電相への漏洩磁束との関係、およびモータ静止中における非通電相への漏洩磁束と各界磁コイルL<sub>u</sub>, L<sub>v</sub>, L<sub>w</sub>のトルクT<sub>u</sub>, T<sub>v</sub>, T<sub>w</sub>すなわち逆起電圧との関係を示す。

【0036】例えば、検出された誘起電圧E<sub>u</sub>, E<sub>v</sub>, E<sub>w</sub>の正負の判定結果が「+, +, -」のときは、モータ起動時に先ずu相すなわち界磁コイルL<sub>u</sub>からL<sub>v</sub>へ向かって電流を流してやれば、最大のトルクを得ることができる。また、図5より、誘起電圧の極性が反転する位置と漏洩磁束密度が最大になる位置がほぼ一致しているので、判定があいまいになることはないことが分かる。しかも、漏洩磁束はコイルの磁束密度に比例するので、誘起電圧の検出の際に必ずしもコイルを磁気飽和させる必要がないため、従来の制御方式の一つである電流立上がり時定数の差異に基づいてロータの位置を検出して通電を開始する相を決定する方式に比べて小さなパルス電流を流すことで判定が可能になる。

【0037】表1に合成された誘起電圧E<sub>u</sub>, E<sub>v</sub>, E<sub>w</sub>の正負の判定結果と通電開始相との関係を示す。上記極性判定結果が得られたなら表1に従って通電開始相を決定してやることによって、ロータの位置に関わらずモータを最短時間で正して回転方向へ起動させることができる。なお、正常に検出が行なわれた場合に誘起電圧E<sub>u</sub>, E<sub>v</sub>, E<sub>w</sub>の正負の判定結果が全て「+」あるいは全て「-」となることはありえないので、そのような判定結果が得られた場合には、誤検出とみなして再度検出をやり直すようにすれば良い。

【0038】

【表1】

いずれか一方の界磁コイルからL<sub>v</sub>に漏れる磁束の方が大きくなり、界磁コイルL<sub>v</sub>に漏れ磁束の差に比例した電圧が誘起される。しかるに、このとき、界磁コイルで発生する磁力線の向きとロータの磁石の磁力線の向きとが同じになるように電流を流す図1(a)と、界磁コイル

で発生する磁力線の向きとロータの磁石の磁力線の向きとが逆になるように電流を流す図1(b)とでは、巻線のばらつきに起因して界磁コイルLvに誘起される電圧の極性は逆であり、それぞれの誘起電圧を加算すると打ち消しあってゼロとなる。

【0040】図6は、本発明をハードディスク記憶装置に用いられるモータドライバ装置における通電開始相検出回路に適用した場合の第1の実施例を示す。

【0041】図6において、11は三相ブラシレスモータの界磁コイルLu, Lv, Lwに電流を流す相電流出力回路(PIO)、12は該相電流出力回路11に対して通電する相の選択信号を供給する相切替制御回路、13は相電流出力回路11の出力端子u, v, wに接続され誘起電圧を検出する誘起電圧検出回路、14a, 14bは界磁コイルに順方向電流を流したときと逆方向電流を流したときに相電流出力回路13により検出された誘起電圧をそれぞれサンプリングしてホールドするサンプル・ホールド回路、15はサンプル・ホールド回路14a, 14bにホールドされた電圧を加算する加算回路である。

【0042】また、16は加算回路15における加算結果の極性すなわち加算された電圧が正か負かを判定する極性判定回路、17a, 17b, 17cはそれぞれの界磁コイルに電流を流したときに得られた極性判定結果を記憶するデータラッチ回路、18はデータラッチ回路17a, 17b, 17cに記憶されている判定結果に基づいてロータの位置すなわち最初に電流を流す相を判別する判別回路、19はクロック信号CLKに基づいて上記各回路ブロック11~18に対する制御信号を生成するタイミング生成回路である。

【0043】タイミング生成回路19から相切替制御回路12に対しては相選択切替タイミング信号T, CLKおよびロータ位置検出動作のオン・オフ信号STRが、誘起電圧検出回路13に対してはオン・オフ信号SNSが、サンプル・ホールド回路14a, 14bにはサンプリング・タイミング信号SPRが、加算回路15に対しては演算タイミング信号ADDおよびリセット信号RSTが、データラッチ回路17a, 17b, 17cに対してはラッチタイミング信号LTA~LTCが、そして判別回路18に対しては判定タイミング信号JDGが、それぞれ供給され、回路ブロック11~18はタイミング生成回路19からのこれらの制御信号に従ってシケンシャルに動作される。

【0044】相切替制御回路12は、上記タイミング生成回路19からのオン・オフ信号STRが有効レベルを示しているときには、ロータ位置検出のため上記相電流出力回路(PIO)11に対して微小パルスの電流を流すように制御信号を送る。そして、上記相電流出力回路(PIO)11は、相切替制御回路12からの相選択制御信号に従って、界磁コイルLu, Lv, Lwのうちい

ずれか2つに順方向または逆方向の微小電流パルスを流す。一方、相切替制御回路12に判別回路18から通電を開始する相を示す相選択設定信号COMMS Tが供給されると、上記相電流出力回路(PIO)11に対して設定された通電開始相からモータを回転駆動できるようなパルスの電流を流すように制御信号を送る。このときには、上記タイミング生成回路19からのオン・オフ信号STRは有効レベルとされる。

【0045】上記誘起電圧検出回路13には、タイミング生成回路19からロータ位置検出動作のオン・オフ信号SNSが、また相切替制御回路12からいずれの相を選択しているかを示す信号が入力されており、これらの信号に基づいて非通電相のコイルに誘起される電圧を増幅する。上記誘起電圧検出回路13は、例えば回路がMOSFETで構成される場合には、相電流出力回路11の出力端子u, v, wのうち電流が流されていない非通電相の電圧を選択するスイッチ(セクタ)と選択された電圧を増幅する増幅回路とから、回路がバイポーラ・トランジスタで構成される場合には相電流出力回路11の各出力端子u, v, wの電圧が一方の入力端子に印加され、他方の入力端子に各界磁コイルの共通接続ノードN0の電位が印加された3個の差動増幅回路などから構成することができる。誘起電圧検出回路13が3個の差動増幅回路で構成された場合、それらの差動増幅回路のうちのいずれか1つの電流源が相選択制御信号に従ってオンされて増幅動作するように構成すればよい。

【0046】加算回路15は、オペアンプを用いたアナログ加算器でも良いし、ディジタル加算回路であっても良い。ディジタル加算回路の場合には、サンプル・ホールド回路14a, 14bの次段にA/D変換回路を設けてやればよい。極性判定回路16も加算回路15に応じてアナログ回路またはディジタル回路とされる。なお、ディジタル回路の場合には、減算回路により極性判定回路16を構成することができる。また、サンプル・ホールド回路14a, 14bの代わりにレジスタを使用し、その前段にA/D変換回路を設けて検出された誘起電圧をA/D変換してディジタル値としてレジスタに保持するようにしても良い。

【0047】さらに、上記実施例では、極性判定結果から通電開始相を判別する判別回路18が誘起電圧検出回路13等と一緒に設けられているが、例えば極性判定結果を記憶する記憶回路17a~17cに記憶された情報をマイクロコンピュータに渡してマイクロコンピュータが通電を開始する相を決定して相切替制御回路12に設定するように構成することも可能である。

【0048】図7は、本発明をハードディスク記憶装置に用いられるモータドライバ装置における通電開始相検出回路に適用した場合の第2の実施例を示す。

【0049】この実施例は、図6の実施例におけるサンプル・ホールド回路14a, 14bおよび加算回路15



の代わりに積分回路20を設けたものである。この積分回路20は、例えば容量と抵抗とからなるCR積分回路あるいはオペアンプと該オペアンプの出力端子と反転入力端子との間に接続された容量とを含む公知の積分回路により構成することができる。

【0050】この実施例では、タイミング生成回路19からの制御信号により、最初に界磁コイルにパルス電流を流したときに誘起電圧検出回路13により非通電相から検出された誘起電圧を積分し、次にこの積分結果を残したまま電流の向きを変えて界磁コイルにパルス電流を流したときに誘起電圧検出回路13により非通電相から検出された誘起電圧を積分する。そして、積分回路を構成する容量（以下、積分容量と称する）に残った電荷の極性を極性判定回路16で判定し、この判定が終了すると一旦積分容量をリセットしてから次の界磁コイルに移ってパルス電流を流して検出した誘起電圧を積分するように制御される。

【0051】次に、図7の通電開始相検出回路の動作を、図8のフローチャートを用いて説明する。図8には、相電流出力回路11と誘起電圧検出回路（13、20）の動作手順が、互いに関連する動作を対比させて示されている。

【0052】タイミング生成回路19は、制御回路からのイネーブル信号ENがロウレベルにアサートされることにより、ロータ位置検出のための制御信号の生成を開始する。この動作が開始されると、先ず最初のステップS0で相電流出力回路11の全相が開放すなわち全ての相の電流が出力されないハイインピーダンス状態にて、積分回路20の容量のリセットすなわち電荷のディスチャージが行なわれる。次に、相電流出力回路11によりV相からW相に向かってパルス電流が流される。このパルス電流はロータが反応しないような極めて短いパルスである。そして、このとき非通電相であるU相の誘起電圧が検出回路13により検出され、積分回路20でその誘起電圧の積分が行なわれる（ステップS1）。

【0053】続いて、ステップS2で、相電流出力回路11の全相が開放状態とされ、その間積分回路20で積分された電圧はホールドされている。そして、次のステップS3で、相電流出力回路11によりステップS1とは逆向きの電流すなわちW相からV相に向かってパルス電流が流される。このとき非通電相であるU相の誘起電圧が検出回路13により検出され、積分回路20では前回の積分結果を初期値としてU相の誘起電圧の積分が行なわれる。これによって、積分容量には、V相からW相に向かって電流が流されたときU相の誘起電圧の積分結果とW相からV相に向かって電流が流されたときのU相の誘起電圧の積分結果との足し算が行なわれる。しかし、V相からW相に向かって電流が流されたときとW相からV相に向かって電流が流されたときのU相の誘起電圧は極性が逆になるので、積分容量には先の誘起電圧の

方が大きかった場合には正の電荷が、また後の誘起電圧の方が大きかった場合には負の電荷が残ることになる。

【0054】次のステップS4では、積分容量に残っている電荷の極性が極性判定回路16で判定され、その判定結果UDATAが1番目のデータラッチ回路17aに記憶される。また、相電流出力回路11の全相が開放状態とされ、積分回路20では積分容量に保持されている電荷のリセットが行なわれる。それから、ステップS5で、相電流出力回路11によりW相からU相に向かってパルス電流が流される。そして、このとき非通電相であるV相の誘起電圧が検出回路13により検出され、積分回路20でその誘起電圧の積分が行なわれる。

【0055】続いて、ステップS6で、積分回路20をホールド状態にして相電流出力回路11の全相が開放状態とされる。そして、次のステップS7で、相電流出力回路11によりステップS5とは逆向きの電流すなわちU相からW相に向かってパルス電流が流され、非通電相であるV相の誘起電圧が検出回路13により検出され、積分回路20で前回の積分結果を初期値としてV相の誘起電圧の積分が行なわれる。

【0056】その後、ステップS8で、2度の積分の結果、積分容量に残っている電荷の極性が極性判定回路16で判定され、その判定結果VDATAが2番目のデータラッチ回路17bに記憶される。また、相電流出力回路11の全相が開放状態とされ、積分回路20では積分容量に保持されている電荷のリセットが行なわれる。

【0057】それから、ステップS9～S11では、上記ステップS5～S7と同様にして先ず相電流出力回路11によりU相からV相に向かってパルス電流が流されて、非通電相であるW相の誘起電圧が検出回路13により検出され、積分回路20でその誘起電圧の積分が行なわれ、続いて、上記とは逆向きの電流すなわちU相からV相に向かってパルス電流が流され、非通電相であるW相の誘起電圧が検出回路13により検出され、積分回路20でW相の誘起電圧の積分が行なわれる。

【0058】そして、次のステップS12では、積分回路20での2度の積分の結果、積分容量に残っている電荷の極性が極性判定回路16で判定され、その判定結果WDATAが3番目のデータラッチ回路17cに記憶される。また、相電流出力回路11の全相が開放状態とされ、積分回路20では積分容量に保持されている電荷のリセットが行なわれる。

【0059】その後、ステップS13では、上記ステップS3、S7、S11でそれぞれデータラッチ回路17a、17b、17cに記憶された判定結果UDATA、VDATA、WDATAに基づいて判別回路18においてロータがどの位置にあるかの判別が行なわれる。具体的には、データラッチ回路17a、17b、17cに記憶されている極性が正か負かを示す3個の情報に基づいて、表1に従った判別を行ないロータの位置を判別し、

そのロータ位置から通電を開始する相を決定し、相切替制御回路12に対して相選択タイミング信号COMMS Tを送って通電開始相の初期設定を行なうこととなる。

【0060】なお、上記ステップS13での判定の際に、データラッチ回路17a, 17b, 17cに記憶されている判定結果（極性の正負）が全て「+」あるいは全て「-」となることはありえないので、そのような判定結果が得られた場合には、誤検出とみなしてステップS0へ戻って再度検出をやり直す。実施例の通電開始相検出回路は、例えば3.5kHzのような周波数のクロックCLKに同期して動作することで、上記ステップS0～13を2msec（ミリ秒）のような短い時間内に終了することができるので、再度検出を行なったとしても数10msecかけて行なうモータの始動時間にはほとんど影響がない。

【0061】図9には、上記手順に従って各相に順次パルス電流を流して非通電相の誘起電圧を検出してロータ位置を判定する際のタイミングチャートが示されている。図9において、U, V, Wは相電流出力回路11の各相の出力電圧、Iu, Iv, Iwは各界磁コイルLu, Lv, Lwに流れる電流、SNSは積分回路20に対する積分動作のオン・オフ制御信号、RSTは積分容量の電荷をディスチャージさせるためのリセット信号、LTA, LTB, LTCはデータラッチ回路17a, 17b, 17cに対するラッチタイミングを与える信号、JDGは判別回路18に対する判定タイミングを与える信号、COMMS Tは判別回路18がその判別結果に基づいて相切替制御回路12に対する相選択の初期設定を行なうタイミング信号である。なお、図9におけるクロックサイクルT0～T13はそれぞれ図8のフローチャートにおけるステップS0～S13に対応している。

【0062】図10は、本発明に係る通電開始相検出回路を、ハードディスク記憶装置に用いられるモータドライバ装置に適用した場合のシステム構成例を示す。特に制限されるものでないが、図10において破線210で囲まれた範囲内にある回路ブロックおよび回路素子は、単結晶シリコンチップのような1個の半導体基板上において構成される。

【0063】図10において、図7と同一符号が付された回路は同一の機能もしくはその機能を含む回路である。すなわち、11はハードディスク装置のディスクを回転させるスピンドルモータの三相界磁コイルLu, Lv, Lwに順次選択的に電流を流す相電流出力回路、12は該相電流出力回路11に対して通電する相の選択信号を供給する相切替制御回路、19はクロック信号CLKに基づいて上記各回路ブロック11～18に対する制御信号を生成するタイミング生成回路である。

【0064】この実施例では、図7（または図6）に示されている回路ブロックのうち、相電流出力回路11の出力端子u, v, wに接続され誘起電圧を検出する誘起

電圧検出回路13と、該相電流出力回路13により検出された誘起電圧を積分する積分回路20（もしくはサンプル・ホールド回路14a, 14bと加算回路15）

と、積分結果（もしくは加算結果）の極性を判定する極性判定回路16と、極性判定結果を記憶するデータラッチ回路17a, 17b, 17cと、該データラッチ回路17a, 17b, 17cに記憶されている判定結果に基づいてロータの位置すなわち最初に電流を流す相を判別する判別回路18とは、通電開始相検出回路21として1つのブロックで示されている。

【0065】なお、この実施例においては、通電開始相検出回路21がチップに設けられた外部端子P1, P2に接続され、この外部端子P1, P2には前記積分回路の積分容量を構成するディスクリート部品からなる容量Ciが外付け素子として接続されている。この積分容量によって、非通電相の誘起電圧を検出する誘起電圧検出回路13における検出電圧のノイズを抑え、精度の高い判定が行なえるようになる。特に、本発明は、相電流出力回路11がバイポーラ・トランジスタで構成されている場合に有効である。相電流出力回路11がMOSFETで構成されている場合よりもバイポーラ・トランジスタで構成されている場合の方が、非通電相の誘起電圧にのるノイズが大きいためである。

【0066】また、図10において、22は相電流出力回路11の出力端子u, v, wの非通電相の電圧を監視して逆起電圧のゼロクロス点を検出し相切替制御回路12に対して相切替えタイミングを与える逆起電圧検出回路、23は逆起電圧検出回路22の出力信号に基づいて相切替制御回路12に対して定速回転時に相の切替えタイミングを与えるために必要とされる発振信号を発生する電圧制御発振器（VCO）を含むPLL（フェーズ・ロックド・ループ）回路、24はモータの回転停止時に相電流出力回路11の電源スイッチQswをオフさせて全ての界磁コイルを短絡状態にして誘導制御で強制的にブレーキをかけるためのブレーキ制御回路、25は相電流出力回路11に流れる電流を検出してマイクロコンピュータから送られてくる回転速度に関する指令信号SPNCTLに従って、相電流出力回路11に対して電流を増加させて回転速度を上げたり、電流を減少させて回転速度を下げたりする制御を行なう。

【0067】上記PLL回路22はチップに設けられた外部端子P3, P4, P5に接続され、この外部端子P3～P5にはPLLのループフィルタを構成する容量C0, C1や抵抗R1およびVCOの発振周波数を決定する容量C2と抵抗R2が外付け素子として接続されている。また、特に制限されないが、モータドライバICのチップ上には、チップの温度を検出して回路の動作を停止させるための保護回路26や回路を構成するMOSFETを十分に駆動できるようにするため昇圧したゲート電圧を発生するブースト回路27、該モータドライバI

Cの周辺に設けられるICやLSIに電源電圧を供給するための電圧レギュレータ28、さらに磁気ヘッドを移動させるボイスコイルモータを駆動するためのVCMドライブ制御回路30が設けられている。

【0068】VCMドライブ制御回路30は、ボイスコイルモータの駆動コイルLVCを駆動する電流を出力するVCMドライブ回路31、マイクロコンピュータとの間でシリアル送受信を行なうシリアルポート32、マイクロコンピュータから受信した制御データをアナログ信号に変換してVCMドライブ回路31に供給するD/A変換回路33、モータの駆動開始時にコイルLVCの逆起電圧を検出して速度情報を得るための逆起電圧検出回路34、検出された逆起電圧をデジタル信号に変換するA/D変換回路35、電源電圧Vss、Vddのレベルを監視して電源遮断を検出する電源電圧監視回路36、電源遮断が検出されたときに磁気ヘッドをディスク面の外部へ退避させるようにコイルLVCを制御駆動する退避用駆動回路37などから構成される。

【0069】上記シリアルポート32は、マイクロコンピュータからのシリアルクロックSCLKやロード指令信号LOADに基づいてシリアルデータDATAの送受信並びに受信したデータに基づいてVCMドライブ回路31に対するイネーブル信号VCMENなどの制御信号の生成を行なうとともに、モータの駆動開始時にコイルLVCの逆起電圧を検出して速度情報を得るための逆起電圧検出回路34により検出された逆起電圧をA/D変換した信号をマイクロコンピュータに送ったりする。これによって、マイクロコンピュータはモータの速度情報をモニタしながらその速度を制御することで磁気ヘッドがハードディスクの表面に所定速度以上で落下しないようにすることができる。

【0070】また、上記シリアルポート32は、マイクロコンピュータからの受信データに基づいて前記スピンドルモータ制御系のタイミング生成回路19に対するイネーブル信号ENや相選択設定信号COMMなどの制御信号の生成を行なう機能も備えている。なお、上記実施例のように、相切替制御回路12が通電開始相検出回路21からの相選択設定信号COMMS Tでモータの起動を開始する場合には、マイクロコンピュータからの相選択設定信号COMMの送信は不要とされる。ただし、極性判定結果から通電開始相を判別する判別回路18を通電開始相検出回路21に設けずに、極性判定結果を記憶する記憶回路17a~17cに記憶された情報をマイクロコンピュータに渡してマイクロコンピュータが通電を開始する相を決定して相切替制御回路12に設定するように構成した場合には、シリアルポート32を介した上記ルートで相切替制御回路12への初期設定を行なうようにすることができる。

【0071】なお、この実施例のモータドライブ装置には、5Vのような電源電圧Vssが印加される電源端子

P6や12Vもしくは5Vのような電源電圧Vddが印加される電源端子P7、接地電位(0V)が印加される電源端子群P8が設けられている。このうち電源端子P7には、3.5インチのハードディスク装置に使用されるときは12Vが、2.5インチのハードディスク装置に使用されるときは5Vがそれぞれ印加されるようにされる。P11~P14は、スピンドルモータの界磁コイルの端子に接続される端子である。

【0072】図11には、通電開始相検出回路を備えた上記モータドライバ装置におけるモータ起動から定速動作に至るまでの制御手順を示す。

【0073】このモータドライバ装置は、マイクロコンピュータからスタート信号が与えられると先ず通電開始相検出回路21によるロータ位置検出が行なわれる(ステップS21)。このロータ位置検出は、既に説明を行なった図8に示されているフローチャートのステップS1~12に従って実行される。そして、ロータ位置が検出されるとステップS22で位置データがすべて「L」(ロウレベル)かすべて「H」(ハイレベル)かが判定され、「Yes」すなわちすべて「L」またはすべて「H」のときは、ロータ位置検出(ステップS21)を再度行なう。なお、このステップS22は図8におけるステップS13に相当する。また、ステップS22で「No」すなわち位置データがすべて「L」でもすべて「H」でもないときは、通電開始相検出回路21での検出結果に基づく出力COMMS Tにより相選択回路12に対する通電開始相の設定を行なう(ステップS23)。

【0074】しかる後、相選択回路12が順次励磁するコイルを切り替えて駆動電流をモータの各コイルに流すように相電流出力回路11を制御して同期運転が開始される(ステップS24)。これによって、正常にロータが回転を始めると、非通電相には逆起電圧が発生するので、次のステップS25で逆起電圧検出回路23による逆起電圧の検出が行なわれたか否か判定される。ここで、逆起電圧が検出されていないときはモータ未起動と判定してステップS21へ戻ってロータ位置の検出をやり直す。一方、逆起電圧が検出された場合には、ステップS26で逆起電圧検出回路23で検出されたゼロクロスポイントのタイミングで通電相の切替えを行なう逆起運転とコイルへの電流増加による回転の加速が行なわれ、定速回転(ステップS27)に至ることとなる。

【0075】図12には、本発明を適用したモータドライバ装置を用いたシステムの一例としてのハードディスク装置の一構成例をブロック図で示したものである。

【0076】図12において、100は磁気ディスクのような記録媒体、110は磁気ディスク100を回転させるスピンドルモータ、120は書込みヘッドおよび読出しヘッドを有する磁気ヘッド、130は先端に磁気ヘッド120を有するアームを移動させるボイスコイルモ

ータである。そして、210が本発明を適用したモータドライバ装置で、このモータドライバ装置210によって上記スピンドルモータ110およびボイスコイルモータ130の駆動が行なわれる。

【0077】また、220は上記磁気ヘッド120によって検出された磁気の変化に応じた電流を増幅して読出し信号をデータチャンネルプロセッサ230へ送信したりデータチャンネルプロセッサ230からの書込みパルス信号を増幅して磁気ヘッド120の駆動電流を出力するリード・ライト・アンプ、240はデータチャンネルプロセッサ230から送信されてくる読出しデータRDTを取り込んで誤り訂正処理を行なったりホストからの書込みデータに対して誤り訂正符号化処理を行なってデータチャンネルプロセッサ230へ出力したりするハードディスク・コントローラである。上記データチャンネルプロセッサ230は、デジタル磁気記録に適した変調／復調処理や磁気記録特性を考慮した波形整形等の信号処理を行なう。

【0078】250は本システムと外部装置との間のデータの受渡しおよび制御等を行なうインタフェース・コントローラで、上記ハードディスク・コントローラ240はインタフェース・コントローラ250を介してパソコン本体のマイクロコンピュータなどのホストコンピュータに接続される。260はシステム全体を統括的に制御するとともにハードディスク・コントローラ240から供給されるアドレス情報に基づいてセクタ位置などを算出するマイクロコンピュータ、270は磁気ディスクから高速で読み出されたリードデータを一時的に記憶するバッファ用のキャッシュメモリである。マイクロコンピュータ260はハードディスク・コントローラ240からの信号に基づいて、いずれの動作モードか判定し、動作モードに対応してシステム各部の制御を行なう。

【0079】上記モータドライバ装置210は、前述したように、スピンドルモータ駆動部とボイスコイルモータ駆動部とからなり、上記マイクロコンピュータ260から出力される信号によって、ヘッドの相対速度を一定にするようにスピンドルモータ駆動部がサーボ制御されるとともに、ヘッドの中心をトラックの中心に一致させるようにボイスコイルモータ駆動部がサーボ制御される。

【0080】上記モータドライバ装置210、リード・ライト・アンプ220、データチャンネルプロセッサ230、ハードディスク・コントローラ240、インタフェース・コントローラ250、マイクロコンピュータ260、キャッシュメモリ270によってハードディスク制御システム200が構成され、該制御システム200と磁気ディスク100、スピンドルモータ110、磁気ヘッド120およびボイスコイルモータ130によってハードディスク装置が構成される。

【0081】以上、本発明者によってなされた発明を実

施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、3相モータを例にとりて説明したが、この発明は3相モータに限定されず、2相モータや4相以上の多相モータの駆動回路にも適用することができる。さらに、実施例においては、1つの半導体チップ上にスピンドルモータを駆動する回路の他、ボイスコイルモータを駆動する回路を搭載した複合モータドライバ装置について説明したが、本発明は、スピンドルモータの駆動回路のみを搭載した半導体集積回路にも適用できることはいうまでもない。

【0082】また、以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるハードディスク記憶装置のモータドライバ装置に適用した場合について説明したが、それに限定されるものではなく、例えばレーザビームプリンタのポリゴンミラーを回転させるモータや軸流ファンモータなどのブラシレスモータを駆動するモータドライバ装置に広く利用することができる。

【0083】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0084】すなわち、本発明に従うと、ステータに対するロータの位置を少ない誤差で正確に検出して通電を開始する界磁コイルを決定して制御することでモータ起動時の逆回転を防止することが可能なブラシレスモータの駆動制御用半導体集積回路およびブラシレスモータ駆動制御装置を実現することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明によるロータ位置検出方式の原理を示すもので、ロータの磁石のS極とN極の境界がステータの界磁コイルLvの中心と一致して停止している状態を示す模式図である。

【図2】本発明によるロータ位置検出方式の原理を示すもので、ロータの磁石のS極とN極の境界がステータの界磁コイルLvの中心よりも若干界磁コイルLwに寄った位置に停止している状態を示す模式図である。

【図3】本発明によるロータ位置検出方式の原理を示すもので、ロータの磁石のS極とN極の境界がステータの界磁コイルLvの中心よりも若干界磁コイルLuに寄った位置に停止している状態を示す模式図である。

【図4】本発明者らが行なった実験により得られたステータに対するロータの位置と非通電相への誘起電圧との関係を示すグラフである。

【図5】3相モータに関して各界磁コイルLu, Lv, Lwで検出された誘起電圧Eu, Ev, Ewの正負の判定結果と非通電相への漏洩磁束との関係およびモータ回

転中における非通電相への漏洩磁束と各界磁コイル  $L_u$ ,  $L_v$ ,  $L_w$  のトルク  $T_u$ ,  $T_v$ ,  $T_w$  すなわち逆起電力との関係を示す波形図である。

【図6】本発明をハードディスク記憶装置に用いられるモータドライバ装置における通電開始相検出回路に適用した場合の第1の実施例を示すブロック図である。

【図7】本発明をハードディスク記憶装置に用いられるモータドライバ装置における通電開始相検出回路に適用した場合の第2の実施例を示すブロック図である。

【図8】図7の通電開始相検出回路の動作手順を示すフローチャートである。

【図9】図8の手順に従って各相に順次パルス電流を流して非通電相の誘起電圧を検出してロータ位置を判定する際の各回路のタイミングチャートである。

【図10】本発明に係る通電開始相検出回路を、ハードディスク記憶装置に用いられるモータドライバ装置に適用した場合のシステム構成例を示すブロック図である。

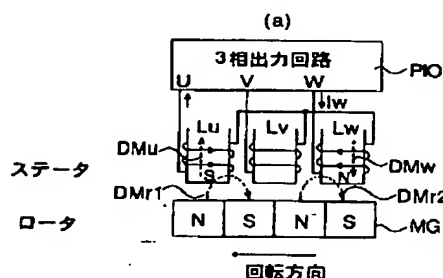
【図11】通電開始相検出回路を備えた上記モータドライバ装置におけるモータ起動から定速動作に至るまでの制御手順を示すフローチャートである。

【図12】本発明を適用したモータドライバ装置を用いたシステムの一例としてのハードディスク装置の一構成例を示すブロック図である。

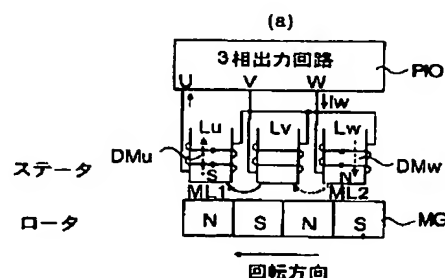
【符号の説明】

- $L_u$ ,  $L_v$ ,  $L_w$  界磁コイル  
11 相電流出力回路  
12 相切替制御回路  
13 誘起電圧検出回路  
14 a, 14 b サンプル・ホールド回路  
15 加算回路(合成回路)  
16 極性判定回路  
17 a, 17 b, 17 c 記憶回路  
18 判別回路  
19 タイミング生成回路  
20 積分回路  
21 通電開始相検出回路  
22 電圧制御発振回路  
23 逆起電圧検出回路  
24 ブレーキ制御回路  
25 スピンドル制御回路  
26 保護回路  
27 ブースト回路  
28 電圧発生回路(レギュレータ)  
30 ボイスコイルモータ駆動回路  
 $L_u$ ,  $L_v$ ,  $L_w$  界磁コイル

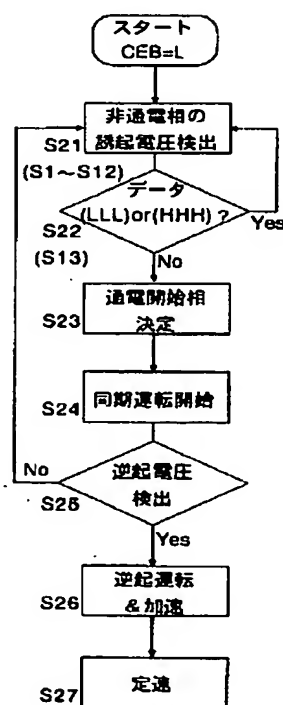
【図1】



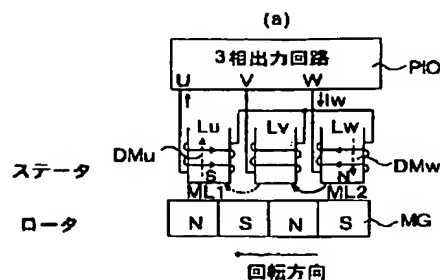
【図2】



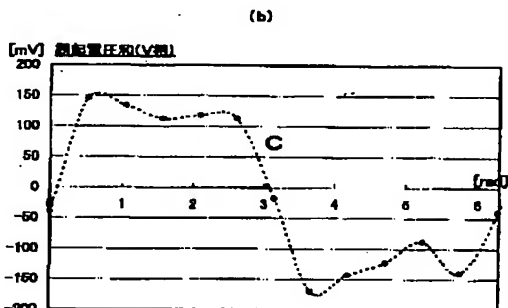
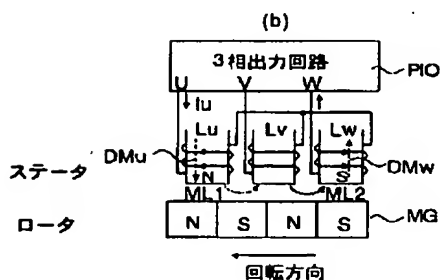
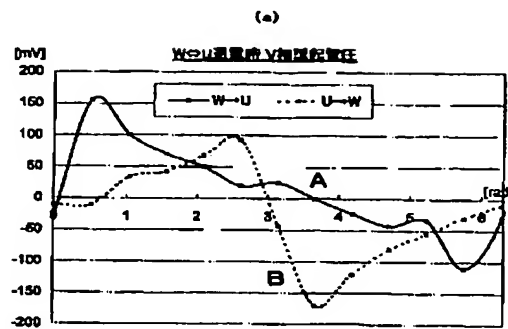
【図11】



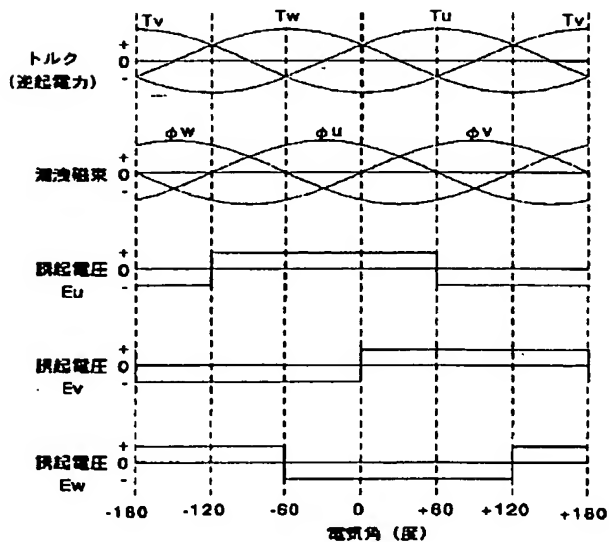
【図3】



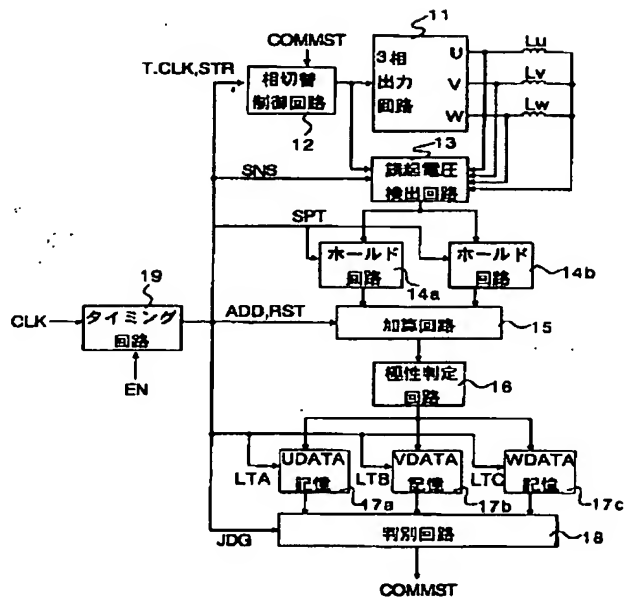
【図4】



【図5】

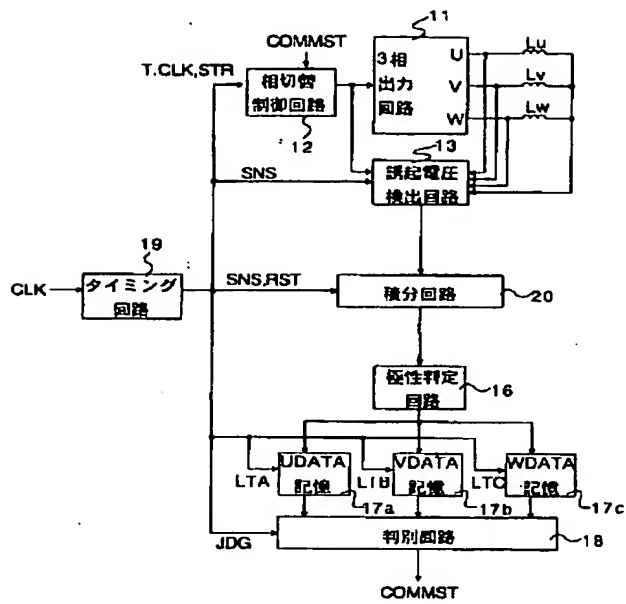


【図6】

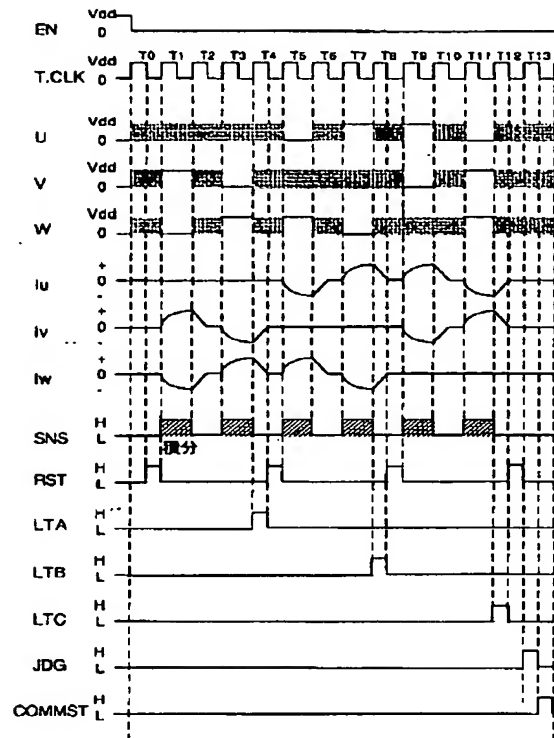




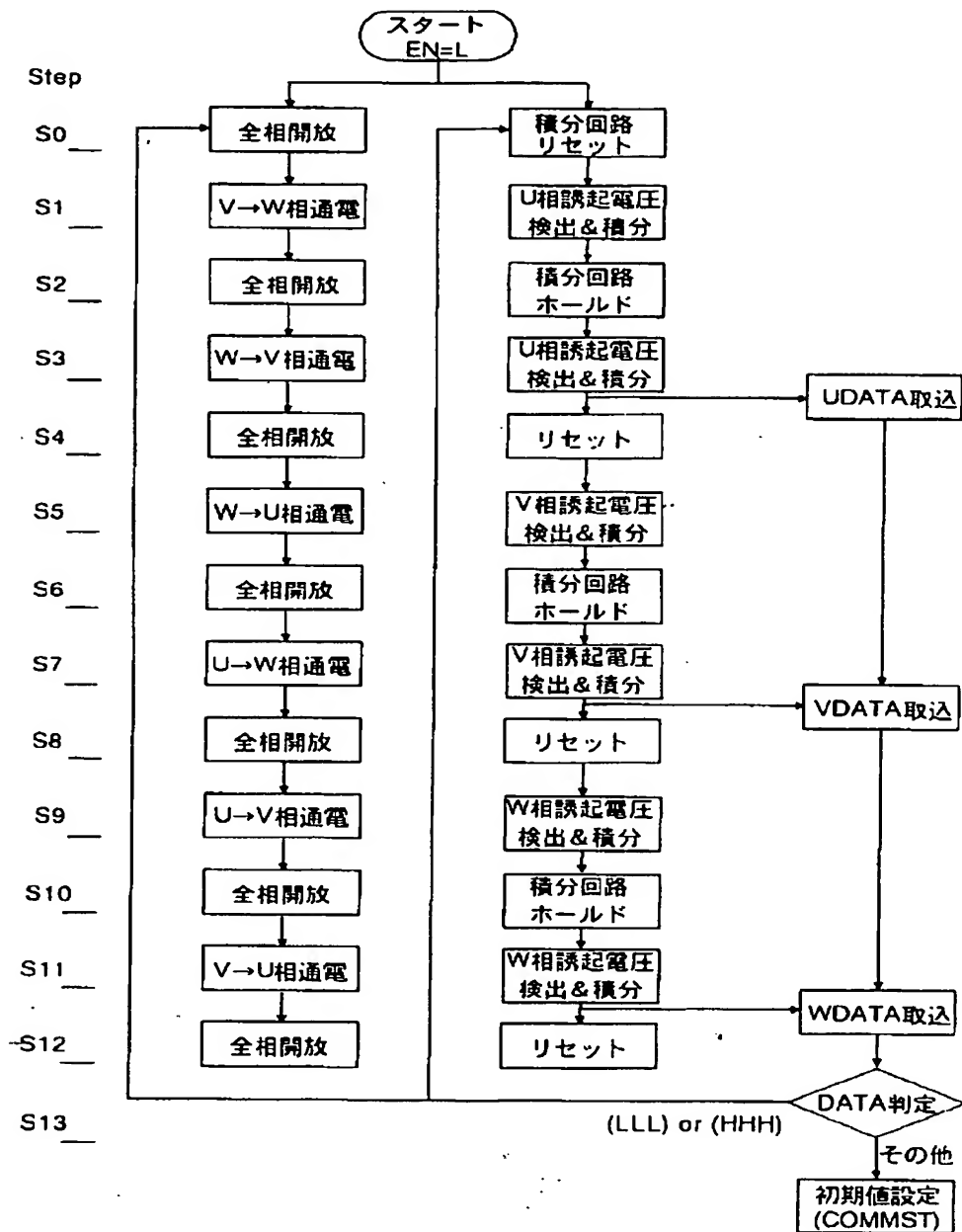
【図7】



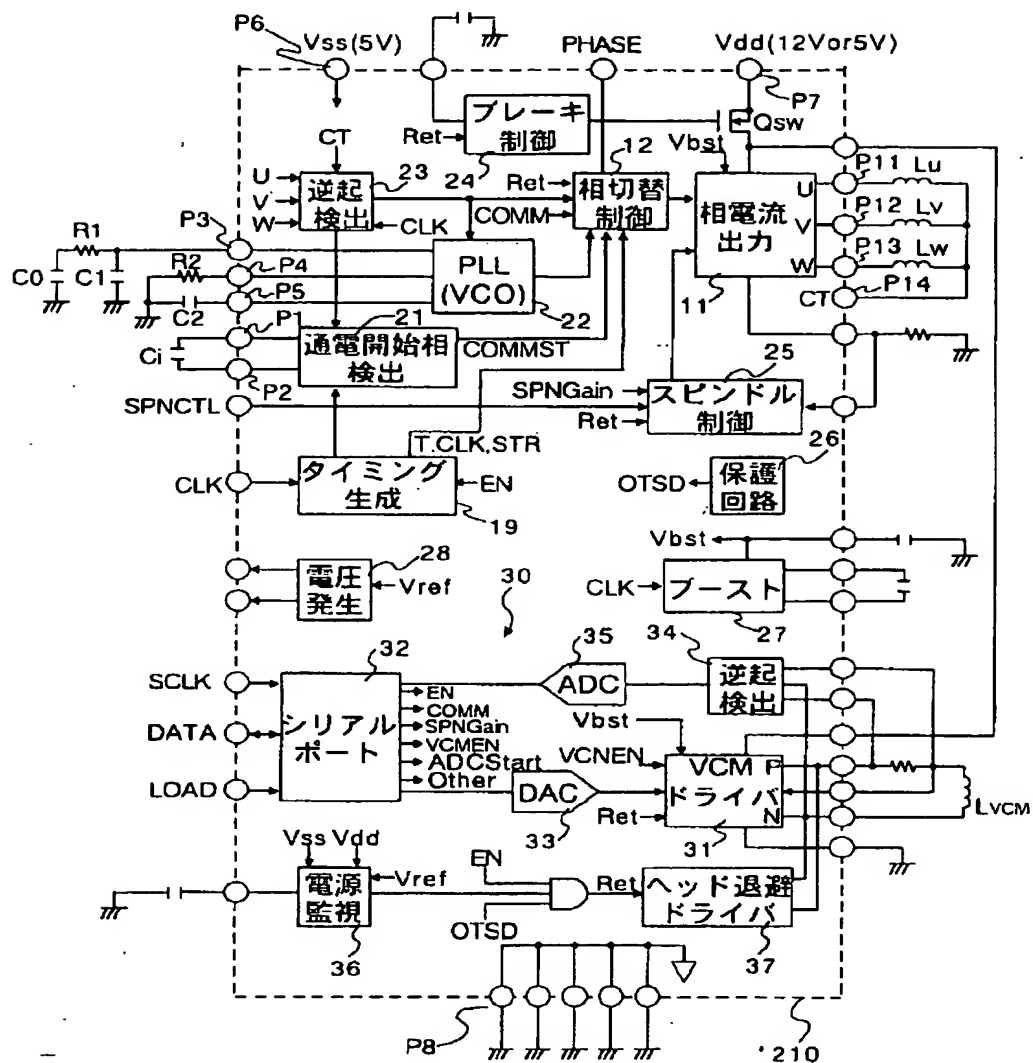
【図9】



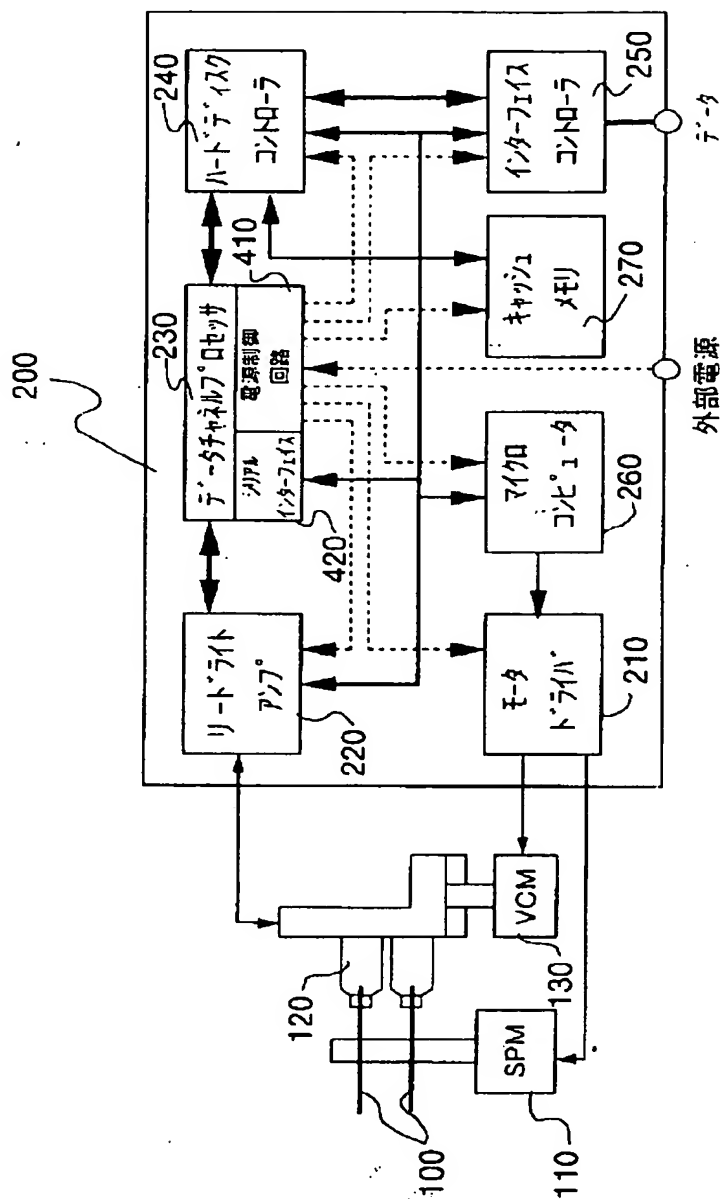
【図8】



【図 10】



【図12】



フロントページの続き

(72)発明者 鴻上 康彦

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 河内 邦浩

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

Fターム(参考) 5H560 AA04 BB04 BB07 BB12 DA13  
DC13 EB01 HA04 HA09 RR10  
TT15 TT20 UA02